

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-213961

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 M
C 2 3 C 14/06			C 2 3 C 14/06	L
			14/34	M
G 0 2 F 1/1345			G 0 2 F 1/1345	
1/136	5 0 0		1/136	5 0 0
審査請求 未請求 請求項の数16 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平8-13342

(22) 出願日 平成8年(1996)1月29日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 宮坂 光敏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 北和田 清文

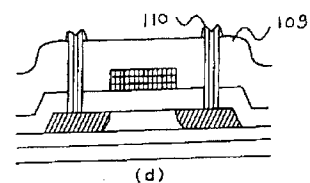
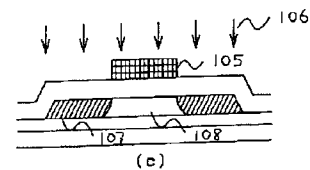
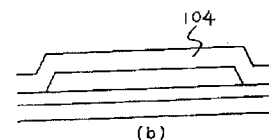
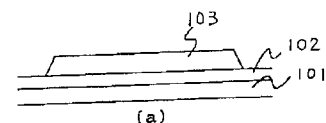
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜半導体装置及びその製造方法並びに電子機器及びその製造方法

(57) 【要約】

【課題】 特性の良好な薄膜半導体装置や電子機器を現実的な簡便な手段で安定的に製造する。

【解決手段】 配線材に水素含有 α 構造タンタルを用いる。

【特許請求の範囲】

【請求項 1】 絶縁性物質上に島状に形成された半導体層と、該半導体層上に形成されたゲート絶縁層と、該ゲート絶縁層上に形成されたゲート電極とを具備する薄膜半導体装置に於いて、
少なくとも該ゲート電極の一部は水素を含有する α 構造のタンタルで有る事を特徴とする薄膜半導体装置。

【請求項 2】 絶縁性物質上に島状に形成された半導体層と、該半導体層上に形成されたゲート絶縁層と、該ゲート絶縁層上に形成されたゲート電極とを具備する薄膜半導体装置に於いて、
該ゲート電極が窒素と水素を含有するタンタルで有る事を特徴とする薄膜半導体装置。

【請求項 3】 絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、
少なくとも水素と窒素とアルゴンを含む気相下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項 4】 下側導伝層と α 構造タンタルを主成分とする上側導伝層から成る導伝層を含む薄膜半導体装置の製造方法に於いて、
下側導伝層を形成する第一工程と、
少なくとも水素とアルゴンを含む気相下にてスパッター堆積法により α 構造タンタルを主成分とする薄膜を形成する第二工程とを含む事を特徴とする薄膜半導体装置の製造方法。

【請求項 5】 絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、
少なくとも窒素とアルゴンを含む気相下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する第一工程と、
該薄膜に水素化処理を施す第二工程とを含む事を特徴とする薄膜半導体装置の製造方法。

【請求項 6】 前記第二工程が水素イオンの注入工程で有る事を特徴とする請求項 5 記載の薄膜半導体装置の製造方法。

【請求項 7】 絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、
 α 構造タンタルを主成分とする薄膜を形成する第一工程と、
該薄膜に水素化処理を施す第二工程とを含む事を特徴とする薄膜半導体装置の製造方法。

【請求項 8】 前記第二工程が水素イオンの注入工程で有る事を特徴とする請求項 7 記載の薄膜半導体装置の製造方法。

【請求項 9】 絶縁性物質上に形成された配線を備える電子機器に於いて、
少なくとも該配線の一部は水素を含有する α 構造のタンタルで有る事を特徴とする電子機器。

【請求項 10】 絶縁性物質上に形成された配線を備える電子機器に於いて、
該配線が窒素と水素を含有するタンタルで有る事を特徴とする電子機器。

【請求項 11】 絶縁性物質上に形成された配線を備える電子機器の製造方法に於いて、
少なくとも水素と窒素とアルゴンを含む気相下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する工程を含む事を特徴とする電子機器の製造方法。

【請求項 12】 下側導伝層と α 構造タンタルを主成分とする上側導伝層から成る導伝層を含む電子機器の製造方法に於いて、
下側導伝層を形成する第一工程と、
少なくとも水素とアルゴンを含む気相下にてスパッター堆積法により α 構造タンタルを主成分とする薄膜を形成する第二工程とを含む事を特徴とする電子機器の製造方法。

【請求項 13】 絶縁性物質上に形成された配線を備える電子機器の製造方法に於いて、
少なくとも窒素とアルゴンを含む気相下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する第一工程と、
該薄膜に水素化処理を施す第二工程とを含む事を特徴とする電子機器の製造方法。

【請求項 14】 前記第二工程が水素イオンの注入工程で有る事を特徴とする請求項 13 記載の電子機器の製造方法。

【請求項 15】 絶縁性物質上に形成された電子機器の製造方法に於いて、
 α 構造タンタルを主成分とする薄膜を形成する第一工程と、
該薄膜に水素化処理を施す第二工程とを含む事を特徴とする電子機器の製造方法。

【請求項 16】 前記第二工程が水素イオンの注入工程で有る事を特徴とする請求項 15 記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリックス液晶ディスプレイ等に適用される薄膜半導体装置及びその製造方法並びに絶縁性物質上に形成された電気配線を有する電子機器及びその製造方法に関する。

【0002】

【従来の技術】 近年、液晶ディスプレイ (LCD) の大画面化、高解像度化に伴い、その駆動方式は単純マトリックス方式からアクティブマトリックス方式へ移行し、大容量の情報を表示出来るように成りつつ有る。アクティブマトリックス方式は数十万を越える画素を有する液晶ディスプレイが可能で有り、各画素毎にスイッチング

トランジスタを形成するもので有る。各種液晶ディスプレイの基板としては、透過型ディスプレイを可能ならしめる熔融石英板やガラスなどの透明絶縁基板が使用されている。薄膜トランジスタ(TFT)の能動層としては、通常アモルファスシリコンや多結晶シリコンなどの半導体膜が用いられるが、駆動回路まで一体化して薄膜トランジスタで形成しようとする場合には動作速度の速い多結晶シリコンが有利である。多結晶シリコン膜を能動層とする場合は熔融石英板を基板として用い、通常は工程最高温度が1000℃を越える高温プロセスと呼ばれる製造方法にてTFTが作成されている。一方アモルファスシリコン膜を能動層とする場合には通常のガラス基板が用いられている。LCDの表示画面の拡大化や低価格化を進める場合にはこの様に絶縁基板として安価な通常ガラスを使用するのが必要不可欠で有る。しかしながら、前述の如くアモルファスシリコン膜は電気特性が多結晶シリコン膜に比べ著しく劣り動作速度が遅い等の問題を内蔵している。又、高温プロセスの多結晶シリコンTFTは熔融石英板を用いて居る為、LCDの大型化や低価格化が困難との問題を有して居る。結局、通常のガラス基板上に多結晶シリコン膜等の半導体膜を能動層とする薄膜半導体装置を作成する技術が強く求められているのである。然るに量産性に富む大型の通常ガラス基板を用いる際には、基板の変形を避けるべく工程最高温度を約570℃程度以下とする大きな制約が有る。即ち斯様な制約下にて液晶ディスプレイを動作し得る薄膜トランジスタと、駆動回路を高速動作し得る薄膜トランジスタの能動層を形成する技術が望まれて居る。これらは現在低温プロセスpoly-Si TFTと称されている。

【0003】従来の低温プロセスpoly-Si TFTはSID(Society for Information Display)'93ダイジェストP. 387(1993)に示されている。それによると、まずLPCVD法で原料気体としてモノシランを(SiH₄)を用い、堆積温度550℃にて50nmのアモルファスシリコン(a-Si)膜を堆積し、このa-Si膜にレーザー照射を施し、a-Si膜をpoly-Si膜へと改質する。poly-Si膜のパターニング後、ゲート絶縁膜で有るSiO₂膜をECR-PECVD法で基板温度を100℃として堆積する。ゲート絶縁膜上にタンタル(Ta)にてゲート電極を形成した後、ゲート電極をマスクとしてドナー又はアクセプター不純物をシリコン膜にイオン注入してトランジスタのソース・ドレインを自己整合的(セルフ・アライン)に形成する。この時イオン注入はイオン・ドーピング法と呼ばれる質量非分離型の注入装置を用い、水素希釈されたフォスフィン(PH₃)やジボラン(B₂H₆)を原料気体として用いている。注入イオンの活性化は300℃で有る。その後層間絶縁膜を堆積し、インジウム錫酸化物(IT

O)やアルミニウム(Al)で電極や配線を作成し、薄膜半導体装置は完成する。

【0004】

【発明が解決しようとする課題】しかしながら、前述の従来技術に則る低温プロセスpoly-Si TFTには次の様な問題が内在しており、これらが量産化の阻害要因となっている。即ち、課題1)ゲート電極及び走査配線に使用される導伝体材料の抵抗値が高い。その為走査信号波形の鈍りが生じ、各画素に設けられたスイッチング用TFTの正常動作が妨げられる。即ち液晶表示装置(LCD)を高精細化や大型化を行い得ない。

【0005】課題2)ゲート電極に対してイオン注入法に依りソース・ドレイン領域を自己整合させるセルフ・アラインTFT(S/A TFT)を作成する場合、ゲート電極には注入イオンをチャンネル領域と成る半導体膜やその直上に設けられたゲート絶縁膜に進入させ得ぬ阻止能力が求められる。しかしながらゲート電極が金属で有ると或る確率を持って注入イオンが金属結晶格子間をすり抜けて仕舞う。即ちゲート電極のイオン阻止能力が劣っており、S/A TFTの安定的な生産を行い得ない。

【0006】課題3)大型LCDに代表される長い配線を伴う電子機器では配線材の内部ストレスや温度変化に伴う熱伸縮により断線が発生し易い。この事情はS/A TFTの走査線の様に配線が段差(S/A TFTの場合は半導体膜の段差)を乗り越える必要が有る時により深刻と化す。この為電子機器の製造歩留りが著しく低下するとの問題が生ずる。

【0007】そこで本発明は上述の様な諸課題の解決を目指し、その目的は良好な薄膜半導体装置や電子機器を現実的な簡便な手段で、安定的に製造する方法を提供する事にある。

【0008】

【課題を解決するための手段】本発明は絶縁性物質上に島状に形成された半導体層と、該半導体層上に形成されたゲート絶縁層と、該ゲート絶縁層上に形成されたゲート電極とを具備する薄膜半導体装置に於いて、少なくとも該ゲート電極の一部は水素を含有するα構造のタンタルで有る事を特徴とする。

【0009】又本発明は絶縁性物質上に島状に形成された半導体層と、該半導体層上に形成されたゲート絶縁層と、該ゲート絶縁層上に形成されたゲート電極とを具備する薄膜半導体装置に於いて、該ゲート電極が窒素と水素を含有するタンタルで有る事を特徴とする。

【0010】又本発明は絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、少なくとも水素と窒素とアルゴンを含有する雰囲気下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する工程を含む事を特徴とする。

【0011】又本発明は下側導伝層と α 構造タンタルを主成分とする上側導伝層から成る導伝層を含む薄膜半導体装置の製造方法に於いて、下側導伝層を形成する第一工程と、少なくとも水素とアルゴンを含む雰囲気下にてスパッター堆積法により α 構造タンタルを主成分とする薄膜を形成する第二工程とを含む事の特徴とする。

【0012】又本発明は絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、少なくとも窒素とアルゴンを含む雰囲気下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する第一工程と、該薄膜に水素化処理を施す第二工程とを含む事の特徴とする。この時前記第二工程が水素イオンの注入工程で有る事をも特徴とする。

【0013】又本発明は絶縁性物質上に形成された薄膜半導体装置の製造方法に於いて、 α 構造タンタルを主成分とする薄膜を形成する第一工程と、該薄膜に水素化処理を施す第二工程とを含む事の特徴とする。この時前記第二工程が水素イオンの注入工程で有る事をも特徴とする。

【0014】又本発明は絶縁性物質上に形成された配線を備える電子機器に於いて、少なくとも該配線の一部は水素を含む α 構造のタンタルで有る事の特徴とする。

【0015】又本発明は絶縁性物質上に形成された配線を備える電子機器に於いて、該配線が窒素と水素を含むタンタルで有る事の特徴とする。

【0016】又本発明は絶縁性物質上に形成された配線を備える電子機器の製造方法に於いて、少なくとも水素と窒素とアルゴンを含む雰囲気下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する工程を含む事の特徴とする。

【0017】又本発明は下側導伝層と α 構造タンタルを主成分とする上側導伝層から成る導伝層を含む電子機器の製造方法に於いて、下側導伝層を形成する第一工程と、少なくとも水素とアルゴンを含む雰囲気下にてスパッター堆積法により α 構造タンタルを主成分とする薄膜を形成する第二工程とを含む事の特徴とする。

【0018】又本発明は絶縁性物質上に形成された配線を備える電子機器の製造方法に於いて、少なくとも窒素とアルゴンを含む雰囲気下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する第一工程と、該薄膜に水素化処理を施す第二工程とを含む事の特徴とする。この時前記第二工程が水素イオンの注入工程で有る事をも特徴とする。

【0019】又本発明は絶縁性物質上に形成された電子機器の製造方法に於いて、 α 構造タンタルを主成分とする薄膜を形成する第一工程と、該薄膜に水素化処理を施す第二工程とを含む事の特徴とする。この時前記第二工程が水素イオンの注入工程で有る事をも特徴とする。

【0020】

【発明の実施の形態】以下図面を参照しながら本発明の基礎原理及び作用を説明する。

【0021】(第1章、本願発明の電子機器とその製造方法)本願発明の電子機器は絶縁性物質上に形成された電気伝導性配線を備える物で有る。これらの電子機器としては例えば薄膜半導体装置(TFT)や金属-絶縁体-金属型非線形素子(MIM)、太陽電池、或いは半導体装置(LSI)やプリント配線基板などが上げられる。この電気伝導性配線の少なくとも一部分は水素を含む α 構造のタンタル(Ta)が用いられて居る。 α 構造のタンタルは立方晶の結晶系をなし、その結晶構造は体心立方(bcc)で有る。又この α 構造タンタルの比抵抗は凡20 $\mu\Omega\text{cm}$ 程度から60 $\mu\Omega\text{cm}$ 程度で有る。こうした α 構造タンタルは α 構造タンタル単体の膜中に水素を含んで居る場合の他、膜中に水素と共に少量の窒素を含んで居る場合や、導伝層が下側導伝層とその直上に形成されてる上側導伝層から成り、その上側導伝層が水素を含む α 構造タンタルを主成分として居る場合などがある。いずれの場合にせよ主成分はタンタルで有る。下側導伝層の直上に α 構造タンタルを主成分とする上側導伝層を形成する場合、下側導伝層は20nm程度から200nm程度の薄いニオブ(Nb)やタングステン(W)、窒化タンタル(TaN)等から成る。これらの材質の特徴は上側導伝層のタンタルを α 構造化させ得る導伝材料という点に認められる。

【0022】さて従来の α 構造タンタル(特に窒素を含む α 構造タンタル)はスパッター法等のPVD法にて堆積形成すると内部応力が非常に強いのが一般で有る。然るに本願発明の α 構造タンタルは水素を微量含有して居る為、内部応力は著しく緩和されて居る。タンタル薄膜中に於ける水素含有量は10atm ppm(1atm ppmはタンタル原子10⁶個に対して水素原子1個)程度から5000atm ppm程度で有る。水素含有量が5000atm ppm程度よりも遥かに大きいタンタルは脆性を呈して絶縁性物質で被われた基板から剥離したり、或いは断線を生じて仕舞うが、5000atm ppm程度以下で有れば内部応力は充分小さく成り且つ α 構造タンタルは延性を有する様に成る。即ち基板との熱膨張係数が著しく違った系に於いてもその相違に起因するストレスや熱伸縮に対する耐性が増するので有る。反対に水素含有量が10atm ppm程度以下との極微量で有ると水素含有の効果は現れず、従来の α 構造タンタルと同様強い内部応力を有して仕舞う。結局本願発明の電子機器で用いられる水素含有 α 構造タンタルは従来の β 構造タンタルに比較して10分の1程度から4分の1程度の低い比抵抗を有し、且つ内部応力も充分緩和され、膜は延性を呈して居るので有る。斯くした特典はタンタル薄膜が形成される基板がガラスやプラスチックと云った熱膨張係数が金属と大きく異なっている物質で有ったり、或いは基板の変形や歪み

が容易に発生する様な物質で有る時に取り分け明瞭に認められる。

【0023】斯様な本願発明の水素含有 α 構造タンタルは以下の如き製造方法にて作成される。まず第一の製造方法は少なくとも水素と窒素とアルゴンを含む雰囲気下にてスパッター堆積法によりタンタルを主成分とする薄膜を形成する物で有る。通常のスパッター法ではアルゴンを成膜室に導入してプラズマを立て、このアルゴンプラズマを利用して薄膜を堆積して居た。これに対し本願発明では主構成ガスのアルゴンは変わらぬものの、更に少量の窒素と水素を添加してアルゴン窒素水素の混合プラズマを立て、これを利用してタンタルを主成分とする薄膜をスパッター堆積するので有る。アルゴン中の窒素含有量は5.0%程度から8.5%程度が最適で有る。この範囲内で成膜すると比抵抗が小さく且つ内部応力も比較的弱い α 構造タンタルが成膜される。これはスパッター堆積されたタンタル薄膜中に α 構造の窒化タンタル(TaN)領域が僅かに発生し、この窒化タンタル領域を種として主成分タンタルが α 構造化するからで有る。窒化タンタルそれ自身は α 構造で有るが、これは比抵抗が大きくしかも内部応力が極めて強い。それが成膜中の窒素含有量が高すぎるとタンタル薄膜中に於ける窒化タンタルの割合が増大し、その結果堆積薄膜は比抵抗が大きく且つ内部応力も強くなって仕舞う。反対に窒素含有量が少な過ぎるとタンタル薄膜は α 構造化せず β 構造で有る為比抵抗は200 $\mu\Omega\text{cm}$ 程度と高く、更に窒素が添加された分だけ内部応力も強くなって仕舞うので有る。アルゴン中の水素含有量はタンタル薄膜の堆積速度の応じて前述した10atm ppm程度から5000atm ppm程度に成る様に調整する必要があるが、その標準的な値は0.1%程度から10%程度で有る。結局アルゴン中の窒素含有量が5.0%程度から8.5%程度の雰囲気下でタンタル薄膜を堆積すると比較的内部応力が小さく α 構造の低抵抗膜が成膜され、更にこの膜に10atm ppm程度から5000atm ppm程度の水素を添加すると内部応力は一段と減少し、同時に膜の延性が増すので有る。

【0024】第二の製造方法は電子機器が下側導伝層とその直上に形成された α 構造タンタルを主成分とする上側導伝層から成る導伝層を含む際に適応される。まず第一工程として下側導伝層を形成する。この導伝層は先に述べた様に後に形成される上側導伝層のタンタルを α 構造化し得る材質で有る。この薄膜を通常のスパッター法や蒸着法などのPVD法、或いはCVD法などで堆積する。第二工程では上側導伝層のタンタルをスパッター法で形成するので第一工程の下側導伝層も同じスパッターで堆積しておけば第一工程と第二工程を真空を破らず連続で処理出来る。こうする事により単に生産性が向上するにのみならず、下側導伝層の結晶構造を上側導伝層が容易に引き継ぐ事と成り、それが故上側タンタル薄膜が

確実に α 構造化するのので有る。引き続き第二工程では少なくとも水素とアルゴンを含有する雰囲気下にてスパッター堆積法により α 構造タンタルを主成分とする薄膜を形成する。アルゴン中に於ける水素含有量は先と同様に、成膜された α 構造タンタルが10atm ppm程度から5000atm ppm程度の水素を含む様に調整する。従ってその値は凡0.1%程度から10%程度で有る。

【0025】第三の製造方法は第一工程でまず α 構造タンタルを主成分とする薄膜を形成した後、第二工程にてこの薄膜に水素化処理を施して薄膜に所望量の水素を添加する。この第一工程で形成されたタンタル薄膜は通常強い内部応力を有して居る。この為薄膜が大きな温度変化を被ると、内部応力に基づくひび割れや膜の剥がれが生じて仕舞う。従って出来る限り冷却や加熱と云った熱環境を変化させずに第二工程の水素化処理を施す事が理想で有る。第一工程が終了してから第二工程を行う迄の工程温度は少なくとも第一工程の基板処理温度と同等もしくはそれ以下で有る事が望まれる。但しこの制約は基板との兼ね合いでタンタル薄膜に前述した問題が生じなければ緩める事も可能で有る。第一工程で α 構造のタンタルを主成分とする薄膜を成膜するには先にも述べた通り、少なくとも窒素とアルゴンを含有する雰囲気下にてスパッター堆積法を行えば良い。スパッター堆積時のアルゴン中の窒素含有量は矢張り5.0%程度から8.5%程度の間で有る。 α 構造タンタルを主成分とする薄膜の別の形成方法は下側導伝膜の直上にタンタル薄膜をスパッター形成する物で有る。これは第二の製造方法で水素を添加しないものに相当して居る。即ちニオブやタングステン、窒化タンタルと云った上層タンタルを α 構造化させ得る下側導伝膜を形成した後、この膜の直上にタンタルをスパッター堆積させる方法で有る。この様に第一工程で様々な方法にて α 構造のタンタルを主成分とする薄膜を形成した後、剥離やひび割れと云った現象が生ずる様な大きな温度変化を薄膜が被る前に、第二工程で水素を添加し薄膜の応力緩和を図るので有る。第二工程の水素化処理は水素イオン注入や水素プラズマ処理、或いは水素含有雰囲気下での熱処理などで行い得る。二番目の水素プラズマ処理はそれを第一工程でタンタル薄膜を堆積したスパッター装置にて連続処理とすればタンタル膜表面に酸化膜や汚染等が存在しない為水素添加効率が上がり、同時に第一工程と第二工程との間に余分な工程が入らない為薄膜に熱ストレスが掛かる前に内部応力の緩和が可能と成る。無論この時生産性は改善されて居る。水素化処理を水素イオン注入で行えば薄膜への水素添加量を厳密に調整出来る。換言すればタンタル薄膜物性を自由に換え得る訳で有る。この方法は後述する上ゲート型薄膜半導体装置のゲート電極に本願発明の水素含有 α 構造タンタルを用いる時に殊の外有用で有る。第一工程でゲート電極と成る α 構造タンタルを成膜した

後、ゲート電極をマスクにソース・ドレイン領域形成のイオン注入工程時に水素添加の第二工程を兼用させる事が出来るからで有る。こうすると水素化処理の為の特別な工程を増やす事無く、本願発明がその儘達成されるので有る。

【0026】(第2章、本願発明の薄膜半導体装置とその製造方法の概略)次に第1章で説明した電子機器の内で本願発明が取り分け効果的で有る薄膜半導体装置とその製造方法を説明する。図1(a)~(d)はMIS型電界効果トランジスタを形成する薄膜半導体装置の製造工程を断面で示した大概図で有る。この図が示す様に本願発明が殊の外有益で有る薄膜半導体装置は所謂上ゲート型TFTで有る。即ち本願発明の薄膜半導体装置は絶縁性物質上に島状に形成された半導体層と、その半導体層上に形成されたゲート絶縁層と、更にそのゲート絶縁層上に形成されたゲート電極とを具備して居る。この図を用いて本願発明が低温プロセスpoly-SiTFTに適用される際の予備知識を提供する。

【0027】本発明では基板101の一例として汎用無アルカリガラスを用いる。まず基板101上に常圧化学気相堆積法(APCVD法)やPECVD法或いはスパッター法などで絶縁性物質で有る下地保護膜102を形成する。次に後に薄膜半導体装置の能動層と化す真性シリコン膜等の半導体膜を堆積する。半導体膜はLPCVD法やPECVD法、APCVD法等の化学気相堆積法(CVD法)、或いはスパッター法や蒸着法などの物理気相堆積法(PVD法)に依って形成される。こうして得られた半導体膜にレーザー光等の光学エネルギー又は電磁波エネルギーを短時間照射して結晶化を進める。最初に堆積した半導体膜が非晶質で有ったり、非晶質と微結晶が混在する混晶質で有れば、この工程は結晶化と呼ばれる。一方、最初に堆積した半導体膜が多結晶質で有れば、この工程は再結晶化と呼ばれる。本明細書では特に断らない限り両者をまとめて単に結晶化と称する。レーザー光等のエネルギー強度が高ければ、結晶化の際に半導体膜は一度熔融し冷却固化過程を経て結晶化する。これを本願では熔融結晶化法と称する。これに対し半導体膜の結晶化を熔融せずに固相にて進める方法を固相成長法(SPC法)と称する。固相成長法は550℃程度から650℃程度の温度で数時間から数十時間掛けて結晶化を進める熱処理法(Furnace-SPC法)と、一秒未満から一分程度の短時間で700℃から1000℃との高温で結晶化を進める急速熱処理法(RTA法)、及びレーザー光等のエネルギー強度が低い時に生ずる極短時間固相成長法(VST-SPC法)の三者に主として分類される。本願発明はこれら何れの結晶化方法をも適応可能で有るが、大型基板を高い生産性で製造するとの視点に則ると熔融結晶化法やRTA法、VST-SPC法が取り分け適して居る。これらの結晶化方法では照射時間が非常な短時間で有り且つ照射領域も基板

全体に対して局所的で有る為、半導体膜の結晶化に際して基板全体が熱せられる事は無く、故に基板の熱に依る変形や割れ等も生じないからで有る。その後この半導体膜をパターンニングし、後にトランジスタの能動層となる半導体膜103を作成する。(図1(a))

半導体膜形成後、CVD法やPVD法などでゲート絶縁膜104を形成する。絶縁膜形成に当たり様々な製造方法が考えられるが、絶縁膜形成温度は350℃以下が好ましい。これはMOS界面やゲート絶縁膜の熱劣化を防ぐ為に重要で有る。同じ事は以下の総ての工程に対しても適用される。ゲート絶縁膜形成後の総ての工程温度は350℃以下に押さえられねばならない。こうする事により高性能な薄膜半導体装置を容易に、且つ安定的に製造出来るからで有る。

【0028】引き続いてゲート電極105となる薄膜をPVD法或いはCVD法などで堆積する。通常はゲート電極とゲート配線は同一材料にて同一工程で作られる為、この材質は電気抵抗が低く、350℃程度の熱工程に対して安定で有る事が望まれる。ゲート電極となる薄膜を堆積後パターンニングを行い、引き続いて半導体膜に不純物イオン注入106を行ってソース・ドレイン領域107及びチャンネル領域108を形成する。(図1(c))この時ゲート電極がイオン注入のマスクと成って居るが故、チャンネルはゲート電極下のみに形成される自己整合構造と成る。不純物イオン注入は質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素を注入するイオン・ドーピング法と質量分離型イオン注入装置を用いて所望の不純物元素のみを注入するイオン打ち込み法の二種類が適応され得る。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度0.1%程度から10%程度のホスフィン(PH₃)やジボラン(B₂H₆)等の注入不純物元素の水素化合物を用いる。イオン打ち込み法では所望の不純物元素のみを注入した後に引き続いて水素イオン(プロトンや水素分子イオン)を注入する。前述の如くMOS界面やゲート絶縁膜を安定に保つ為には、イオン・ドーピング法にしるイオン打ち込み法にしるイオン注入時の基板温度は350℃以下でなければならない。一方注入不純物の活性化を350℃以下の低温にて常に安定的に行うには、イオン注入時の基板温度は200℃以上で有る事が望ましい。トランジスタのしきい値電圧を調整する為にチャンネル・ドープ行ふとか、或いはLDD構造を作成すると云った様に低濃度に注入された不純物イオンを低温で確実に活性化するには、イオン注入時の基板温度は250℃以上で有る事が必要と成る。この様に基板温度が高い状態でイオン注入を行うと、半導体膜のイオン注入に伴う結晶壊破の際に再結晶化も同時に生じ、結果としてイオン注入部の非晶質化を防ぐ事が出来るので有る。即ちイオン注入された領域は注入後も依然として結晶質として残り、その後の活性化温度が350℃程度以下と低温

で有っても注入イオンの活性化が可能に成る訳で有る。CMOS TFTを作成する時はポリイミド樹脂等の適当なマスク材を用いてNMOS又はPMOSの一方を交互にマスクで覆い、上述の方法にてそれぞれのイオン注入を行う。イオン注入時の基板温度が300℃程度以下で有れば、ポリイミド樹脂に代わって安価で保存等の取扱いが易しい汎用フォトリソレジストをイオン注入に対するマスクとして使用する事が可能と成る。

【0029】次に層間絶縁膜109をCVD法或いはPVD法で形成する。イオン注入と層間絶縁膜形成後、350℃程度以下の適当な熱環境下に於て数十分から数時間の熱処理を施して注入イオンの活性化及び層間絶縁膜の焼き締めを行う。この熱処理温度は注入イオンを確実に活性化する為にも250℃程度以上が好ましい。又層間絶縁膜を効能的に焼き締めるには300℃以上の温度が好ましい。通常ゲート絶縁膜と層間絶縁膜とはその膜品質が異なって居る。その為層間絶縁膜形成後二つの絶縁膜にコンタクトホールを開ける際、絶縁膜のエッチング速度が違って居るのが普通で有る。斯様な条件下ではコンタクトホールの形状が下方程広い逆テーパー状に成ったり或いは底が発生して仕舞い、その後電極形成した時に電気的な導通がうまく取れない所謂接触不良の原因と成る。層間絶縁膜を効能的に焼き締めるとうこうした接触不良の発生を最小限に止められるので有る。層間絶縁膜形成後ソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極110とこれらの配線をPVD法やCVD法などで形成して薄膜半導体装置が完成する。(図1(d))

(第3章、本願発明の薄膜半導体装置とその製造方法に関する詳細説明) 第1章で説明した水素含有 α 構造タンタルは様々な電子機器に適用出来る。しかしながらこの導伝材料の最大の特徴は比抵抗が低い事と内部応力が小さい事、及び延性を呈して居る事に有る。斯様な特徴は長配線を有する電子機器や基板物性と配線物性が著しく異なる電子機器、或いは配線の厚みに対して無視し得ない段差を乗り越える必要が有る電子機器、又は配線の内部応力がその性能に影響を及ぼす電子機器などで良く活かされる。この条件を満たす電子機器の一例としては太陽電池や液晶表示装置に利用されるガラス基板上に形成された薄膜半導体装置が有る。これらの電子機器の配線長は数cm程度から数十cm程度にも及び、更に基板の熱物性と配線材料の熱物性は大きく異なって居るのが普通だからで有る。従って本願発明の電子機器の内でも太陽電池や液晶表示装置に用いられる薄膜半導体装置は特にその得られる効果が大きいと言える。第2章で説明した様に薄膜半導体装置にはゲート電極・配線とソース電極・配線、及びドレイン電極・配線の三種類の電気導伝性材料が絶縁性物質上に形成されて居る。水素含有 α 構造タンタルはこれら三種類の電気導伝性材料のいずれにも適用し得る。配線の厚みに対して無視し得ない段差を

乗り越えらるゝとの観点に則るとゲート型TFTのソース電極・配線やドレイン電極・配線、或いは上ゲート型TFTの各種電極・配線に適応されると段差部での断線が抑制されらるゝとの別な効果が加えられる。更に配線の内部応力がトランジスタ特性に悪影響を及ぼさず、製造工程も簡単との効果は水素含有 α 構造タンタルを上ゲートTFTのゲート電極・配線に用いた時に加えられる。以下この事を説明する。

【0030】第2章で説明した上ゲート型TFTのゲート電極・配線に第1章で説明した水素含有 α 構造タンタルを適用する。即ちゲート電極の少なくとも一部は水素を含有する α 構造のタンタルで有る。無論ゲート電極が窒素と水素を含有するタンタルで有っても良い。このゲート電極は第1章で述べた各製造方法により作成される。ゲート電極形成後にソース・ドレイン領域形成の為にイオン注入工程が控えて居る訳で有るが、水素や窒素を含有して居る α タンタルの場合これらの原子の幾つかは必ずタンタル結晶の格子間に入って居る。その為ゲート電極をマスクとしたイオン注入の際に仮令少数の注入イオンがタンタル結晶の格子間をすり抜けたとしても、そのイオンは格子間に存在する水素原子や窒素原子と衝突して運動方向を変える事に成る。斯様に散乱された注入イオンはもはや格子間をすり抜ける事が出来ず、その結果ゲート電極は注入イオンに対する完全な阻止能力を獲得するに至る。斯くして本願発明の薄膜半導体装置ではゲート電極が導伝性結晶体で有っても、チャンネル形成半導体領域とその直上に位置するゲート絶縁膜にはソース・ドレイン形成の為にP型もしくはN型のイオンは全く導入されず、信頼性の優れた高性能TFTが安定的に製造され得るのである。又前述の如く窒素を含む等の α 構造タンタルを主成分とする薄膜を形成する第一工程終了後にこの薄膜をゲート電極・配線に加工し、その後第二工程の水素化処理をソース・ドレイン領域形成のイオン注入工程で兼用させれば特別な工程を増やす事無く本願発明が達成される。例えばソース・ドレイン領域をイオン・ドーピング法で行う場合にはホスフィン(PH_3)やジボラン(B_2H_6)と云った注入不純物元素の水素化合物を希釈する水素の濃度を調整した上でイオン注入工程を行えば、自動的に所望量の水素を含有した α 構造タンタルが得られる。注入不純物元素の水素化合物と水素の濃度はヘリウム、ネオン、アルゴン、クリプトンなどの第二の希釈媒体を用いる事で容易に調整される。又質量分離を伴うイオン打ち込み法でソース・ドレイン形成を行う場合には所望の不純物元素を注入した後に引き続いて水素イオン(プロトンや水素分子イオン)を注入して居る。この水素注入はソース・ドレイン領域に打ち込まれた不純物を350℃程度以下の低温で活性化させる事を本来の目的として居るが、当然ゲート電極への水素添加と兼用される。従ってイオン打ち込み法に於いても特別な工程を増やす事無く本願発明を達成出来る訳で有る

る。

【0031】さて能動層半導体膜が多結晶状態に有る電界効果型薄膜半導体装置ではゲート電極の内部応力の有無がトランジスタ特性の善し悪しに影響を及ぼす。第1章で説明した様に本願発明の水素含有 α タンタルはその内部応力が非常に弱い為、これをゲート電極に用いると良好な特性を示す薄膜半導体装置と成るので有る。

【0032】(実施例1)図1(a)~(d)はMIS型電界効果トランジスタを形成する薄膜半導体装置の製造工程を断面で示した図で有る。

【0033】本実施例1では基板101として235mm \square の無アルカリガラス(日本電気硝子社OA-2)を用いたが、工程最高温度に耐え得る基板で有るならば、基板の種類や大きさは無論問われない。まず基板101上に常圧化学気相堆積法(APCVD法)やPECVD法或いはスパッター法などで下地保護膜となる二酸化珪素膜(SiO_2 膜)102を形成する。APCVD法では基板温度250℃から450℃程度でモノシラン(SiH_4)や酸素を原料として SiO_2 膜を堆積できる。PECVD法やスパッター法では基板温度を室温から400℃とする事が出来る。本実施例1ではAPCVD法で SiH_4 と O_2 を原料ガスとして300℃で2000Åの SiO_2 膜を堆積した。

【0034】次に後に薄膜半導体装置の能動層と化す真性シリコン膜を500Å程度堆積した。真性シリコン膜は高真空型LPCVD装置にて、原料ガスで有るジシラン(Si_2H_6)を200SCCM流し堆積温度425℃で58分間堆積した。本実施例1にて使用した高真空型LPCVD装置は184.5lの容積を有する。17枚の基板は表側を下向きとして、250℃に保たれた反応室に挿入された。基板挿入後、ターボ分子ポンプの運転を開始し、定常回転に達した後、漏洩検査を2分間施した。この時の脱ガス等の漏洩速度は 3.1×10^{-5} torr/minで有った。その後挿入温度の250℃から堆積温度の425℃迄一時間費やして昇温した。昇温の最初の10分間は反応室にガスを全く導入せず、真空中で昇温した。昇温開始後10分後の反応室到達最低背景圧力は 5.2×10^{-7} torrで有った。又残り50分間の昇温期間には純度99.9999%以上の窒素ガスを300SCCM流し続けた。この時の反応室内平衡圧力は 3.0×10^{-3} torrで有った。堆積温度到達後、原料ガスで有る Si_2H_6 を200SCCMと純度99.9999%以上の希釈用ヘリウム(He)を1000SCCM流し、シリコン膜を58分間堆積した。 Si_2H_6 等のガスを反応室に導入した直後の圧力は767mtorrで有り、これら原料ガス等を導入してから57分後の圧力は951mtorrで有った。こうして得られたシリコン膜の膜厚は501Åで有り、基板の周辺部7mmを除いた221mm \square の正方形領域内での膜厚変動は ± 5 Å未満で有った。本実施例1では斯様にLPCVD法にてシリコン膜を形成

したが、形成方法はこれに限らず、PECVD法やスパッター法によっても良い。PECVD法やスパッター法ではシリコン膜形成温度を室温から350℃程度とする事が可能である。

【0035】こうして得られたシリコン膜は高純度のa-Si膜で有る。次にこのa-Si膜に光学エネルギー又は電磁波エネルギーを短時間照射してa-Siを結晶化し、多結晶シリコン(poly-Si)へと改質する。本実施例1ではキセノン・クロライド(XeCl)のエキシマ・レーザー(波長308nm)を照射した。レーザーパルスの強度半値幅は45nsである。照射時間が斯様に非常に短時間で有る為、a-Siのpoly-Siへの結晶化に際して基板が熱せられる事は無く、故に基板の変形等も生じない。レーザー照射は基板を室温(25℃)とし、空気中で行った。レーザー照射の一回の照射面積は8mm \square の正方形で有り、各照射毎に4mmずらして行く。最初に水平方向(Y方向)に走査した後、次に垂直方向(X方向)にも4mmずらせて、再び水平方向に4mmずつずらせて走査し、以後この走査を繰り返して基板全面に第一回目のレーザー照射を行う。この第一回目のレーザー照射エネルギー密度は160mJ/cm²で有った。第一回目のレーザー照射が終了した後、エネルギー密度を275mJ/cm²として第二回目のレーザー照射を全面に行う。走査方法は第一回目のレーザー照射と同じで8mm \square の正方形の照射領域をY方向とX方向に4mmずらせて走査する。この二段階レーザー照射に依り基板全体がa-Siからpoly-Siへと均一に結晶化される。本実施例1では光学エネルギー又は電磁波エネルギーとしてXeClエキシマ・レーザーを用いたが、エネルギー照射時間が数十秒以内で有ればそのエネルギー源には囚われない。例えばArFエキシマ・レーザーや、XeFエキシマ・レーザー、KrFエキシマ・レーザー、YAGレーザー、炭酸ガスレーザー、Arレーザー、色素レーザー等の各種レーザー、或いはアークランプやタングステンランプ等のランプ光を照射しても良い。アークランプ照射を行う場合ランプ出力を1kW/cm²程度以上とし、照射時間を45秒程度とする事でa-Siからpoly-Siへの膜質改変が進む。この結晶化に際してもエネルギー照射時間は短時間なので、基板の熱による変形や割れは生じない。次にこのシリコン膜をパターニングし、トランジスタの能動層となるチャンネル部半導体膜103を作成した。(図1(a))

その後ECR-PECVD法やPECVD法などでゲート絶縁膜104を形成する。本実施例1ではゲート絶縁膜として SiO_2 膜を用い、PECVD法で1200Åの膜厚に堆積した。(図1(b))基板をPECVD装置に設置する直前には、基板を1.67%のフッ化水素酸水溶液に20秒間浸して半導体膜表面の自然酸化膜を取り除いた。酸化膜除去から基板をPECVD装置のロ

ードロック室に入れる迄の時間は約15分程度で有った。この時間は出来る限り短い事がMOS界面清浄化の視点より望まれ、最長でも30分程度以内が好ましい。PECVD法では原料ガスとしてモノシラン(SiH_4)と笑気ガス(N_2O)を用いて基板温度300℃にて形成した。プラズマは13.56MHzのrf波により、出力900W、真空度1.50torrとの条件で立てられた。 SiH_4 の流量は250SCCMで N_2O の流量は7000SCCMであった。 SiO_2 膜の成膜速度は48.3Å/sで有った。 SiO_2 をこれらの条件で成膜する直前と直後にはシリコン膜及び形成酸化膜に酸素プラズマを照射して、MOS界面及び酸化膜の改善をおこなった。本実施例1では原料ガスとしてモノシランと笑気ガスを用いたが、これらに限らずTEOS($\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$)等の有機シランと酸素等の酸化性気体を用いても良い。更にここでは汎用性の高いPECVD装置を利用したが、無論ECR-PECVD装置によって絶縁膜を形成しても良い。どの様なCV装置や原料ガスを用いる場合であっても、絶縁膜形成温度は350℃以下が好ましい。これはMOS界面やゲート絶縁膜の熱劣化を防ぐ為に重要で有る。同じことは以下の総ての工程に対しても適用される。ゲート絶縁膜形成後の総ての工程温度は350℃以下に押さえられねばならない。こうする事により高性能な薄膜半導体装置を容易に、且つ安定的に製造出来るからで有る。

【0036】引き続きゲート電極105となる薄膜をスパッター法蒸着法或いはCVD法などで堆積する。本実施例1ではゲート電極材料としてタンタル(Ta)を選択し、スパッター法で500nm堆積した。スパッター時の基板温度は180℃でスパッターガスとしては窒素(N_2)を6.7%含んだアルゴン(Ar)を用いた。アルゴン中の窒素含有量は5.0%から8.5%が最適で有る。こうした条件にて得られたタンタル膜の結晶構造は主として α 構造となっており、その比抵抗は40 $\mu\Omega\text{cm}$ で有る。従って本実施例1に於けるゲート電極のシート抵抗は0.8 Ω/\square で有る。

【0037】ゲート電極となる薄膜を堆積後通常のフォトリソグラフィ法によりパターニングを行う。フォトレジストの露光前の熱処理は90℃で現像後の熱処理は130℃で有った。従って α タンタル形成からイオン注入迄の工程最高温度は130℃で有る。引き続き真性シリコン膜にバケット型質量非分離型のイオン注入装置(イオン・ドーピング法)を用いて燐元素等の不純物イオン注入106を行い、ソース・ドレイン領域107及びチャンネル領域108を形成した。(図1(c))本実施例1ではNMOS-TFTの作成を目指した為、原料ガスとしては水素中に希釈された濃度5%のホスフィン(PH_3)を用い、高周波出力38W、加速電圧80kVで $5 \times 10^{15} \text{ 1/cm}^2$ の濃度に打ち込んだ。この時同時に水素がゲート電極にも注入され、ゲート電極は水

素を含有する α 構造タンタルと成る。タンタルに対する水素の割合は凡2000atm ppmで有る。高周波出力は20Wから150W程度の適便たる値が用いられる。PMOS-TFTを作成する場合は、原料ガスとして水素中に希釈された濃度5%のジボラン(B_2H_6)を用い、高周波出力を20Wから150Wとし、加速電圧60kVで $5 \times 10^{15} \text{ 1/cm}^2$ 程度の濃度に打ち込む。又、CMOS-TFTを作成する時はポリイミド樹脂等の適当なマスク材を用いてNMOS又はPMOSの一方を交互にマスクで覆い、上述の方法にてそれぞれのイオン注入を行う。

【0038】次に層間絶縁膜109を5000Å堆積する。本実施例1では層間絶縁膜として SiO_2 をPECVD法にて形成した。PECVD法では原料ガスとしてTEOS($\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$)と酸素(O_2)を用いて基板温度300℃にて形成した。プラズマは13.56MHzのrf波により、出力800W、真空度8.0torrとの条件で立てられた。TEOSの流量は200SCCMで O_2 の流量は8000SCCMであった。この時 SiO_2 膜の成膜速度は12nm/sで有った。こうしたイオン注入と層間絶縁膜形成後、酸素雰囲気下300℃で1時間熱処理を施して注入イオンの活性化及び層間絶縁膜の焼き締めを行った。この熱処理温度は300℃から350℃が好ましい。その後、コンタクトホールを開け、ソース・ドレイン取り出し電極110をスパッター法などで形成し、薄膜半導体装置が完成する。(図1(d))ソース・ドレイン取り出し電極としてはインジウム錫酸化物(ITO)やアルミニウム(Al)が用いられる。これらの導電体スパッター時の基板温度は100℃から250℃程度で有る。

【0039】この様にして試作した薄膜半導体装置のトランジスタ特性を測定したところ、ソース・ドレイン電圧 $V_{ds}=4\text{V}$ 、ゲート電圧 $V_{gs}=10\text{V}$ でトランジスタをオンさせた時のソース・ドレイン電流 I_{ds} をオン電流 I_{ON} と定義して、95%の信頼係数で $I_{ON}=(23.3+1.73, -1.51) \times 10^{-6} \text{ A}$ で有った。又、 $V_{ds}=4\text{V}$ 、 $V_{gs}=0\text{V}$ でトランジスタをオフさせた時のオフ電流は $I_{OFF}=(1.16+0.38, -0.29) \times 10^{-12} \text{ A}$ で有った。ここで測定は温度25℃の元で、チャンネル部の長さ $L=10\mu\text{m}$ 、幅 $W=10\mu\text{m}$ のトランジスタに対してなされた。飽和電流領域から求めた有効電子移動度(J. Levinson et al. J. Appl. Phys. 53, 1193'82)は、 $\mu=50.92 \pm 3.26 \text{ cm}^2/\text{v.s}$ で有った。一方従来技術の低温プロセスpoly-Si-TFTに於いては $I_{ON}=(18.7+2.24, -2.09) \times 10^{-6} \text{ A}$ 、 $I_{OFF}=(4.85+3.88, -3.27) \times 10^{-12} \text{ A}$ で有った。この様に本発明に依り高移動度を有し、ゲート電圧の10Vの変調に対して I_{ds} が7桁以上も変化し、更にばらつきが小さ

く窮めて優良で均一な薄膜半導体装置を製造し得た。従ってLCDに本発明の薄膜半導体装置を適応した場合、LCD画面全体に渡り均一な高画質が得られる事と成る。

【0040】

【発明の効果】以上詳述して来た様に本願発明の電子機器ではそれに用いられて居る水素含有 α タンタルは比抵抗が低く、内部応力が弱く、且つ延性を呈して居る。それ故以下の如き効果が認められる。

【0041】(1) 大型電子機器で配線が長くとも比抵抗が低い為、配線内の電位降下が小さい。即ち電気エネルギーを輸送する際にはその輸送に伴うエネルギー損失が小さく、又電気信号を伝送する際には正確な信号を伝送出来る。従って例えば太陽電池に本願発明を適応するとエネルギーの変換効率が上がり、又例えば液晶表示装置に用いると大きな画面全体に渡り美しい表示が得られる事と成る。

【0042】(2) 電子機器の基板がガラスやセラミックス、プラスチックと云ったその物性が金属と著しく異なった物質で有っても断線などが生じにくい。加えて

【0043】(3) 配線材が延性を呈して居る為、配線材の膜厚に比して無視し得ぬ段差が有っても容易にこれを乗り越えられる。従ってLSIの多層配線やプリント配線基板などに適応すると、配線部位に多少の凹凸が

有ろうとも信頼性の高い配線が得られる。

【0044】(4) イオン注入に於けるイオン阻止能力に優れて居る。従って上ゲート型TFTのゲート電極に用いた時、高性能で信頼性の高い薄膜半導体装置と成る。

【0045】(5) 上ゲート型の低温プロセス pol y-S i TFTに応用した時、従来の製造工程に対して特別な工程を付加する必要がある。

【0046】(6) 上ゲート型の低温プロセス pol y-S i TFTに応用した時、トランジスタの電気特性が良い。

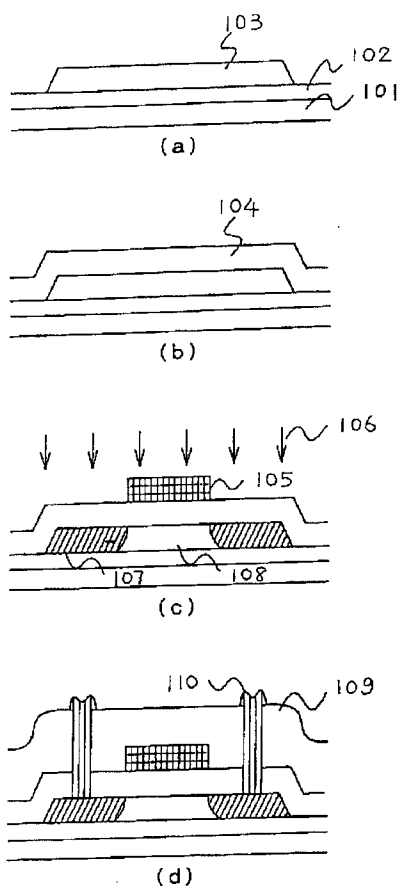
【図面の簡単な説明】

【図1】本発明の一例を示す薄膜半導体装置製造の各工程に於ける素子断面図。

【符号の説明】

- 101…基板
- 102…下地保護膜
- 103…半導体膜
- 104…ゲート絶縁膜
- 105…ゲート電極
- 106…イオン注入
- 107…ソース・ドレイン領域
- 108…チャンネル領域
- 109…層間絶縁膜
- 110…ソース・ドレイン取り出し電極。

【図1】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/203			H 0 1 L 21/203	S
21/28	3 0 1		21/28	3 0 1 R
21/285			21/285	S
21/336			29/78	6 1 6 M
				6 2 7 E